

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-300610

(43)Date of publication of application : 13.11.1998

(51)Int.Cl. G01L 9/12
H01L 29/84

(21)Application number : 10-106441

(71)Applicant : COMMISS ENERG ATOM

(22)Date of filing : 16.04.1998

(72)Inventor : DELAYE MARIE-THERESE

(30)Priority

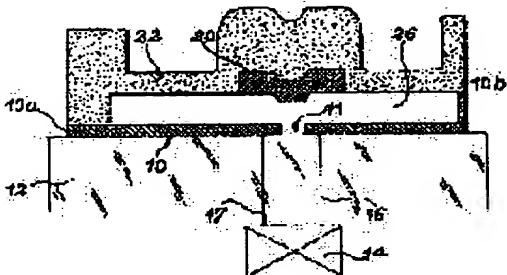
Priority number : 97 9704767 Priority date : 17.04.1997 Priority country : FR

(54) MICROSYSTEM HAVING FLEXIBLE FILM FOR PRESSURE SENSOR AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To fabricate a microsystem on a substrate while integrating by bonding a sacrifice member layer covering a first conductor layer bonded onto a support, forming a first film layer surrounding the sacrifice member layer and a second conductor layer and then removing the sacrifice member layer.

SOLUTION: The first layer of a conductor member is bonded onto a support 12 by cathode spray method, for example. The support 12 is composed of silicon or glass, for example, and constitutes the first electrode 10 of a microsystem. A sacrifice member layer is composed of a dielectric material, e.g. tungsten, and a second layer of conductor member is formed thereon followed by formation of second electrodes 20 by etching. The second electrodes 20 are distributed on the first electrode 10 and a first film layer 22 spreads on the surface of the support 12 while covering the second electrodes 20 and the sacrifice member layer. The sacrifice member layer is removed by chemical etching through an opening constituting an etching channel and a small chamber 26 is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-300610

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.⁶

G 0 1 L 9/12

H 0 1 L 29/84

識別記号

F I

G 0 1 L 9/12

H 0 1 L 29/84

Z

審査請求 未請求 請求項の数22 O.L (全 9 頁)

(21)出願番号 特願平10-106441

(22)出願日 平成10年(1998)4月16日

(31)優先権主張番号 9704767

(32)優先日 1997年4月17日

(33)優先権主張国 フランス (FR)

(71)出願人 590000514

コミツサリア タ レネルジー アトミー
ク
フランス国パリ, リュ ドウ ラ フエデ
ラシオン, 31-33

(72)発明者 マリー - テレーズ, デライエ
フランス国 グルノーブル, リュ アンド
レ アブリイ, 10

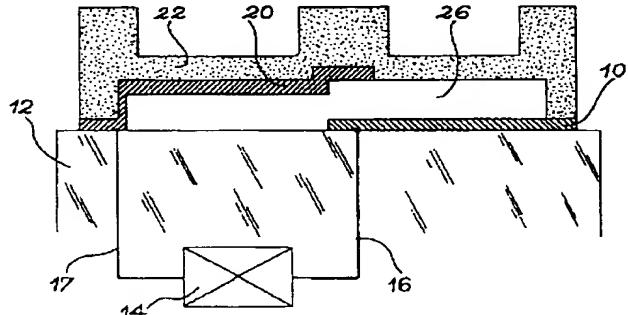
(74)代理人 弁理士 浅村 皓 (外3名)

(54)【発明の名称】 圧力センサのための可撓膜を備えたマイクロシステムとその製造法

(57)【要約】

【課題】 同じ基板の上に電子集積回路と共に集積することができかつ小型である、圧力センサのための可撓膜を備えたマイクロシステムとその製造法を提供する。

【解決手段】 圧力センサは、第1電極10を少なくとも備えた基板12と、周縁の端部が前記基板に固定されおよび第1電極10の少なくとも一部分のまわりに閉じた小室26を定めている変形可能な膜22と、前記第1電極に面する膜22の壁の上に作成されおよびもし前記膜に圧力が作用しないならば前記第1電極から分離されたままに保持されている第2電極20と、を有する。



【特許請求の範囲】

【請求項1】 (a) 少なくとも第1電極(10)を形成する少なくとも第1導電体層を支持体の上に付着して形成する段階と、(b) 前記第1導電体層を被覆する犠牲部材の少なくとも1つの層(18)を付着して形成する段階と、(c) 前記第1導電体層の上に位置する領域の中の犠牲部材の前記層の上に、第2電極(20)を形成する第2導電体層を付着して形成する段階と、(d) 犠牲部材の前記層と前記第2導電体層とを被覆しおよび取り囲む第1膜層(22)を形成する段階と、(e) 犠牲部材の前記層(18)を除去する段階と、(f) 前記第1膜層を形成する段階と、を有する、圧力センサのためのマイクロシステムを製造する工程。

【請求項2】 請求項1に記載された工程において、導電体部材の前記第1層の中に溝(11)が作成されそれにより導電体部材の前記第1層が2個の部分(10a、10b)に分離されそして明確に定められ、および前記溝の少なくとも一部分の上に位置する領域の中の犠牲部材の前記層の上に第2導電体層が作成される、前記工程。

【請求項3】 請求項1に記載された工程において、犠牲部材の前記層(18)を除去する前記段階が、前記第1膜層(22)の中に少なくとも1個のエッティング・チャンネル(24)を開口する段階と、犠牲部材の前記層にエッティングを行う段階と、前記膜層を被覆しそしてエッティング・チャンネル(24)を閉塞して第2膜層(28)を作成する段階を有し、前記工程の段階(f)の期間中に第2膜層がまた作成される、前記工程。

【請求項4】 請求項3に記載された工程において、犠牲部材の前記層(18)の周縁の上に位置する前記第1膜層(22)の領域の中にチャンネル(24)が作成される、前記工程。

【請求項5】 請求項1に記載された工程において、前記犠牲部材層(18)が除去される前に前記第1膜層(22)が作成され、および前記第1膜層の作成が犠牲部材の前記層に達する貫通する溝の形式である少なくとも1個のチャンネルをエッティングにより作成する段階を有し、および前記チャンネルにエッティングを行うことにより犠牲部材の前記層が除去される、前記工程。

【請求項6】 請求項5に記載された工程において、前記第1膜層の一部分を除去するために犠牲部材の前記層の周縁部分の上に溝の形状のチャンネルが作成される、前記工程。

【請求項7】 請求項1に記載された工程において、第1導電体層と前記支持体とが高さの揃った表面を有するように前記支持体の中に作成された凹部の中に段階(d)の期間中に前記第1導電体層が作成される、前記工程。

【請求項8】 請求項1ないし請求項7のいずれかに記

載された工程において、前記第1導電体層の上に位置する領域の中の犠牲部材の前記層の中に作成された凹部の中に前記第2導電体層が作成される、前記工程。

【請求項9】 請求項1に記載された工程において、段階(b)において、犠牲部材の第1層(18a)が前記第1導電体層の少なくとも部分(9)を取り囲んで作成され、そして次に犠牲部材の第2層(18b)が犠牲部材の前記第1層(18a)および前記第1導電体層の前記部分(9)を被覆して作成され、そして犠牲部材の前記第1層および前記第2層が形成される、前記工程。

【請求項10】 請求項3に記載された工程において、段階(f)が前記第2膜層を部分的に除去する段階と前記第2電極のまわりの領域の前記第1膜層を薄くすることを行う段階とを有する、前記工程。

【請求項11】 請求項10に記載された工程において、前記第1膜層(22)を作成する段階が部材の3個の部分層(22a、22b、22c)を順次に付着する段階を有し、そして3個の前記部分層の中の少なくとも1個の部分層(22b)がエッティング停止部分層であり、そして前記エッティング停止部分層(22b)の上でエッティングが停止するエッティングにより前記第1膜層(22)が薄くすることが行われる、前記工程。

【請求項12】 請求項1に適合した工程により作成された少なくとも1個のマイクロシステムを有する圧力センサ。

【請求項13】 請求項12に記載された圧力センサにおいて、導電体部材の前記第1層と前記第2層とに接続された電子測定回路を前記支持体が有する、前記圧力センサ。

【請求項14】 少なくとも第1電極(10)を有する基板(12)と、前記基板に対して周縁端部により固定され、そして前記第1電極(10)の少なくとも一部分のまわりに閉じた小室(26)を定めている、変形可能な膜(22)と、前記第1電極に面した前記膜(22)の壁の上に作成され、そしてもし前記膜に圧力が作用しないならば前記第1電極から分離されて保持されている、第2電極(20)と、を有する、圧力センサ・セル。

【請求項15】 請求項14に記載された圧力センサ・セルにおいて、前記基板の中に集積されそして前記第1電極(10)および前記第2電極(20)に接続された電子測定回路(14)を有する、前記圧力センサ・セル。

【請求項16】 請求項15に記載されたセルにおいて、前記第1電極の下の前記基板の中に前記電子測定回路(14)が配置される、前記セル。

【請求項17】 請求項15に記載されたセルにおいて、集積状電子測定回路(14)がCMOS型またはBiCMOS型である、前記セル。

【請求項18】 請求項14に記載されたセルにおいて

て、前記膜が前記第2電極(20)の上に剛体部分を有する、前記セル。

【請求項19】請求項15に記載されたセルにおいて、前記第1電極と前記第2電極との間の静電容量の変化を測定する静電容量計を前記測定回路が有する、前記セル。

【請求項20】請求項14に記載されたセルにおいて、溝(11)により分離された第1部分(11a)と第2部分(11b)とを前記第1電極(10)が有し、そして前記膜(22)に十分な圧力が加えられる時前記第1部分と前記第2部分とを接触させてそれらを電気的に接続するように前記第2電極(20)が前記溝(11)の上に少なくとも部分的に配置される、前記セル。

【請求項21】請求項14に従う多数個の隣接するセンサ・セルを有する指紋センサ。

【請求項22】請求項21に記載されたセンサにおいて、同じ基板(12)の上にすべてのセルが作成される、前記センサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、圧力センサのための可撓膜(フレキシブル・メンブレン)を備えたマイクロシステムとその製造工程に関する。

【0002】

【発明が解決しようとする課題】可撓膜を備えたマイクロシステムは、例えば容量測定型の圧力センサ・セルまたは圧力によりトリガされるスイッチ・セルに関連する。

【0003】本発明は、マイクロセンサ、マイクロスイッチ、可変マイクロコンデンサ、および関連する電子回路と一緒に集積化することができるさらに一般的のマイクロ部品、の製造に応用することができる。本発明の具体的な1つの応用例は、指紋センサの製造である。

【0004】本明細書の最後に示された文献(1)は、変形可能なシリコン膜を備えた圧力マイクロ・センサの製造を開示している。

【0005】それらの製造工程により、この形式のマイクロセンサをCMOS型の集積回路と一緒に製造する時、両立性に関する困難が生ずる。通常、さらにこれらのセンサは導電体の膜を有する。そのため、部品が小型になる時、電気的絶縁の問題点が生ずるであろう。

【0006】ガラス基板の上に作成された絶縁体膜センサがまた知られている。例えば、この形式のセンサは本明細書の最後に示された文献(2)に開示されている。

【0007】本明細書の最後に示された文献(3)は、電子回路に付随しそして同じ基板の上に相互に隣接して配置される、センサの製造を開示している。この形式の設計は、大量生産の場合に特に魅力的である。

【0008】けれども、センサとそれに対応する電子回路との間の相互接続の問題点に関して多くの制限があ

る。同じ基板の上に配置されたセンサと集積回路との間の電気的接続は、有害な寄生容量効果を生ずる。さらにこの電気的接続は厄介であり、そしてデバイスの小型化をさらに進めることに対して障害となる。

【0009】最後に、センサとそれに付随する集積回路とを別々に製造することは、製造コストが高くなるという結果を生ずる。

【0010】

【課題を解決するための手段】本発明の目的は、可撓膜を備えたマイクロシステムにおいて、前記で説明した制限を有しない製造工程を提供することである。特に1つの目的は、同じ基板の上のMOS集積回路の製造と両立が可能である工程により、基板の上に集積化して作成することができる可撓膜を備えたマイクロシステムを提供することである。

【0011】また別の目的は、マイクロシステムとそれに付随する集積回路との寸法を大幅に小さくすることができる工程を得ることである。

【0012】また別の目的は、多数の隣接するセルの形式で配置することができる、例えばマトリックスの形式で配置することができる、圧力センサまたは集積化されたマイクロスイッチを提供することである。

【0013】また別の目的は、この形式のセンサを用いて指紋検出器を提供することである。

【0014】最後にまた別の目的は、可撓膜を備えたマイクロシステムの製造コストを大幅に低下させることである。

【0015】これらの目的を達成するために、本発明の目的は更に正確に言うと、(a) 少なくとも第1電極を形成する少なくとも第1導電層を支持体の上に付着して形成する段階と、(b) 前記第1導電体層を被覆する少なくとも1つの犠牲材料層を付着して形成する段階と、(c) 前記第1導電体層の上に位置する領域の中の犠牲材料の層の上に第2電極を形成する第2導電体層を付着して形成する段階と、(d) 犠牲材料層と前記第2導電体層とを被覆しおよび取り囲む第1膜層を形成する段階と、(e) 犠牲材料の層を除去する段階と、(f) 前記第1膜層を形成する段階と、を有する、圧力センサのためのマイクロスイッチを製造する工程を提供することである。

【0016】この工程の前記各段階は、前記で説明された順序で実行されることが好ましい。けれども、段階(e)と段階(f)との順序を逆にすることができる。さらに1つの具体的な実施例では、段階(b)と段階(c)とで説明された層を同時に作成することができる。

【0017】特に、第1膜層を作成するのに主要な切断工程と多くの薄くする工程とが必要である時、それが完全に作成されるまで、犠牲層を除去することによりそれを解除しないことが有用である。

【0018】犠牲材料（部材）の層が、閉じた小室の形状と寸法とを定めるように作成される。この際、1つの壁が第1膜層により作成される。

【0019】本発明に従う工程を用いて、簡単で廉価なマイクロシステムを作成することができ、そして特に同じ基板の上にCMOS型の回路またはBiMOS型の回路と一緒に集積化するのに適切な圧力センサのためのセルを作成することができる。この特徴は、下記においてさらに詳細に説明されるであろう。

【0020】本発明による工程の場合、電極を構成する第1導電体層および第2導電体層が何らかの部材層により分離されないことが有益である。犠牲部材の層が除去された後、この膜層に圧力が作用していない時、可撓膜層により、第2導電体層は第1導電体層から分離されて保持される。

【0021】犠牲部材の層の厚さを調整することにより、特に敏感なセンサ・セルを作成することができる。

【0022】さらに、導電体部材の第1層および第2層を、例えば約 $0.1\mu m$ ないし $5\mu m$ の程度のような非常に小さな距離だけ分離することができる。この特性はまた、敏感なセンサを作成するために役に立つ。例えば、第1層および第2層はコンデンサの接極子を構成することができ、そしてこの場合、静電容量は膜層の変形の関数として変化するであろう。

【0023】他の応用では、本発明による工程により得られるマイクロシステムはまた、マイクロスイッチを形成することができるであろう。この場合には、第1導電体層および第2導電体層はスイッチの端子を構成することができる。例えば、膜層の変形が不十分で第1導電体層と第2導電体層とが相互に接触しない時、この形式のスイッチは開放状態であり、そしてこれらの導電体層が押し付けられて相互に接触する時、この形式のスイッチは閉じた状態になる。

【0024】スイッチとして用いられるマイクロシステムのまた別の実施例に従い、2個の電極を分離しそして電極を明確に定めるために導電体部材の第1層の中に溝が作成され、そしてまたこの溝の少なくとも一部分の上の領域の中の犠牲部材の層の上に、第2導電体層が作成される。

【0025】このまた別の実施例により作成されたマイクロシステムでは、膜層が変形する時、第2導電体層が第1導電体層の中の2個の電極を電気的に接続する。したがって、これらの2個の電極はスイッチの端子を構成する。

【0026】本発明に従う工程の1つの特定の実施例に従い、犠牲部材の層の除去は、第1膜層を貫通する少なくとも1個のエッティング・チャンネルを開口する段階と、犠牲部材の層にエッティングを行う段階と、第1膜層を被覆する第2膜層を作成する段階と、このエッティング・チャンネルを閉鎖する段階と、を有することができ

る。この第2膜層はまた工程の段階(f)の期間中に作成される。

【0027】例えば段階(f)は、第2膜層を部分的に除去する段階と、第2電極のまわりの領域の第1膜層を薄くする段階とを有することができる。

【0028】第1膜層を薄くする段階は、第1膜層の柔軟度すなわち可撓度を精密に調節することができ、したがってマイクロシステムの感度を精密に調節することができる。

【0029】この薄くする段階は、第2導電体層の中に作成された電極のまわりの領域の中で行われるが、しかしこの電極の上の領域では行われないことが好ましい。この特性は第2電極の領域の中の膜の硬さを増加させ、したがって、圧力が膜に加えられる時、この電極が過剰に変形することが防止される。

【0030】第1膜層の作成は、部材の3個の部分層を順次に付着する段階を有することが好ましい。この場合、少なくとも1つの部分層がエッティング停止部分層を構成する。次にエッティングを行い、そしてこのエッティングをエッティング停止部分層の上で停止することにより、第1膜層が薄くすることが行われる。

【0031】したがって、エッティングの期間中に穴が開く危険が生ずることを避けながら、膜層の最終的な厚さを非常に小さくすることができる。さらに、この厚さを非常に正確に定めることができる。

【0032】また別の利点である特徴により、犠牲部材の層の周縁部分の上に位置する第1膜層の領域の中に、犠牲部材の層を除去するためのチャンネルを作成することができる。

【0033】もし第2膜層の中の部材がチャンネルの中に入り、そして第1導電体層の支持体の上に支持されたプラグを作成するならば、この構成体により膜の硬さを増加させる必要を回避することができる。膜の周縁領域の中にプラグを作成しても、それは膜の可撓度にはんのわずかしか影響を及ぼさない。

【0034】本発明に従う工程の1つの特定の実施例に従い、犠牲部材の層が除去される前に第1膜層の作成をまた行うことができる。この場合、膜層の作成の段階は、犠牲部材の層にまで達する貫通する溝の形式の1個または複数個のチャンネルをエッティングにより作成する段階を有することができる。

【0035】これらの溝を用いて、犠牲部材の層を除去することができる。

【0036】犠牲部材が除去された時、これらを用いてまた膜層の一部分を部分的に解放することができる。膜層の一部分の周縁部分を定めるために、これらの溝を配置することができる。この時、犠牲部材の層の周縁部分の上に溝を配置することが好ましい。

【0037】第1導電体層は、その表面が支持体の表面と同じ高さを有するように作成することができる。この

場合、第1導電体層と支持体とが同じ高さの表面を有するように、段階(a)において支持体の中に作成された凹部の中に第1導電体層が作成される。

【0038】このマイクロシステムが膜の変形をその静電容量を用いて測定するセンサ・セルとして用いられる時、この形式の構成体は有益であることができる。

【0039】けれども、このマイクロシステムがスイッチとして用いられる時、少なくとも第1電極または第2電極がその支持体の上に突き出ていることが好ましい。

【0040】例えば、第1導電体層の上に位置する領域の中で、犠牲部材の層の中に作成された凹部の中に第2導電体層を作成することにより、このことを実行することができる。

【0041】1つの可能なまた別の実施例に従い、段階(b)は第1導電体層の少なくとも一部分のまわりに犠牲部材の第1層を作成する段階を有し、そして次に、犠牲部材の第2層が犠牲部材の第1層と第1導電体層の前記部分とを被覆して作成され、そして犠牲部材の第1層と第2層とが作成される。この構成体により、犠牲部材の第2層はその自由表面の上に凹部を有し、そしてこの凹部は第2導電体層により充填される。したがって、犠牲部材が除去された後には、支持体に対向して面している膜層の表面の上に第2導電体層が突き出る。

【0042】本発明はまた少なくとも第1電極を有する基板と、基板の周縁のまわりの端部により固定され、そして第1電極の少なくとも一部分のまわりに閉じた小室を定めている、変形可能な膜と、第1電極に対向して面している変形可能な膜の上に作成され、そして圧力が膜に作用していない時には第1電極から分離して保持されている、第2電極と、を有する、圧力センサ・セルに関する。

【0043】圧力センサ・セルはまた、基板の中に集積されそして第1電極および第2電極に接続された、電子測定回路を有することができる、または付随することができる。

【0044】第1電極の下の基板の中に、電子回路を配置することが有益である。

【0045】この特徴により、セルと集積回路とをさらによく集積化することができる。

【0046】特にこのことは、例えばマトリックスの形式で、多数個の隣接するセンサ・セルを備えた指紋センサを作成することができることを意味する。この時、すべてのセルと付随する電子回路とを同じ支持体の上に、または同じ支持体の中に、作成することができる。

【0047】本発明によるマイクロシステムおよびセルは、CMOS(相補型金属・酸化物・半導体)またはBiCMOS(バイポーラCMOS)型の集積回路と一緒に用いるのに特に適している。

【0048】本発明の他の特徴および利点は、添付図面を参照しての下記説明により明確になるであろう。この

説明は例示のためのものであって、本発明の範囲がこれらの例示された実施例に限定されることを意味するものではない。

【0049】

【課題を解決するための手段】図1は、本発明の工程の第1段階を示した図である。例えばチタン、窒化チタン、クロムまたは他の任意の融和性の導電体のような導電体部材で構成される第1層10が、支持体12の上に付着される。層10は、例えば陰極噴霧法または真空蒸着法により、100ナノメートルから数マイクロメートルの程度の厚さに付着される。層10はまた、電解法のような他の付着技術により作成することもできる。

【0050】支持体12は、例えばシリコンまたはガラスで作成された基板であることができる。支持体12は、本発明により作成されるマイクロシステムに用いられる測定回路のような、1個または複数個の電子回路を有することができる。これらの回路はCMOS型またはBiCMOS型であることが好ましいが、図では番号14により概略的に示されている。番号16により示されている部品は、電子回路14と第1導電体層10とを接続する接続部品である。

【0051】導電体部材で構成される第1層10は、図2に示されているように、フォトリソグラフィと乾式エッティングまたは化学的エッティングとにより作成される。作成された導電体層10は、このマイクロシステムの第1電極を構成する。この第1電極は、図面を単純にするために、同じ番号10で示されている。

【0052】図3に示されている次の段階は、犠牲部材の層18を付着しそして作成する段階である。この層の形状と厚さは、下記で説明される可撓膜の変形を可能にするマイクロシステムの中において小室の寸法を定める。犠牲層の厚さは、例えば0.1μmと5μmの間であることができる。この犠牲部材の層は、マイクロシステムを作成するのに用いられる他の部材に比べて良好なエッティング選択度を有する部材で作成される。この犠牲層の中の部材はまた、与えられた位置から出発して長い距離にわたってエッティング可能である性能に基づいて選定される。

【0053】この犠牲層は、タングステンまたはアルミニウムのような金属、または感光性の樹脂またはポリイミドのような有機部材、または二酸化シリコン(SiO₂)のような誘電体部材、または前記で示された品質を備えた任意の部材、で作成することができる。

【0054】この犠牲部材のこの層の上に導電体部材の第2層が作成され、そしてその後、エッティングにより第2電極が作成される。

【0055】第2電極は、図4で番号20で示されている。第2電極は、第1電極の上に少なくとも部分的に配置され、および第1電極が犠牲部材の層により分離されるように配置される。導電体部材の第2層は、例えばT

i、TiNまたはCrにより100nmないし数μmの厚さを有するように作成される。この作成は、陰極噴霧技術、蒸着技術または電解技術を用いて行われる。

【0056】図5に示されている工程の次の段階は、膜層（メンブレン・レイヤ）と呼ばれる第1層22を作成する段階である。膜層22は第2電極20と犠牲部材の層18とを被覆し、そして支持体12の表面の上に少なくとも部分的に広がっている。

【0057】第1膜層22は、電気的に絶縁体である部材の単一膜であることができる。例えば、プラズマ支援の化学蒸着（PECVD、plasma aided chemical vapor deposition）技術を用いて付着された厚さが0.8μmのSi₃N₄層であることができる。第1層膜22はまた、図5に示されているように、3個の部分層（サブレイヤ）22a、22bおよび22cを備えた薄片状（フラキー）構造を有することができる。中間の部分層22bは、後で第1膜層を薄くする工程の期間中に用いられるエッティング停止部分層である。この薄くする工程は下記で説明される。

【0058】全体の厚さが0.76μmである膜層22は、例えば、厚さが0.3μmのSi₃N₄の部分層22aと、厚さが0.06μmのSiO₂の停止部分層22bと、厚さが0.4μmのSi₃N₄の部分層22cとで構成されることができる。エッティング停止部分層はまた、金属層であることができる。この時、電気的に絶縁体である部材により作成された第1部分層22aにより、エッティング停止部分層が第2電極20から絶縁されることが好ましい。

【0059】図6に示されているように、エッティング・チャンネルを構成する開口部24が、膜22の中で犠牲部材の層の周縁領域に到達するように作成される。犠牲層は、この開口部24を通して、例えば化学的エッティングにより完全に除去される。犠牲部材をこのように除去することにより、マイクロシステムの中に小室（チャンバ）26が作成され、それにより膜層22が変形することが可能になる。第2電極20は膜層22に接合したまま残る。そして第2電極20は、第1電極10から分離されたままである。

【0060】次に、第1膜層22の上に第2膜層28が付着され、それにより開口部24が閉鎖される。このことにより、小室26が閉じる。

【0061】第2膜層は、SiO₂、Si₃N₄または金属の層であることが好ましい。例えば第2膜層は、プラズマ支援の化学蒸着（PECVD）技術で付着された厚さが0.8μmのSi₃N₄の層であることができる。

【0062】第2膜層26の厚さは、通常、第1膜層の中に作成された開口部24を十分に閉じることができるように選定される。図7において、プラグ27が生成されることに注目されたい。プラグ27は、支持体12の

表面の上に保持されることができる。開口部24が周縁領域に作成される時、この形式のプラグは1個または複数個の膜層の可撓性を傷つけない。

【0063】真空に密封された小室26を得るために、第2膜層28を真空下で作成することができる。

【0064】次の段階は図8に示された段階であって、この段階では第2電極20のまわりの領域の第2膜層28が除去され、そして同じ領域の中の第1膜層を薄くすることが行われる。

【0065】この薄くする工程は、例えばエッティングにより行うことができる。このエッティングは、前記で説明した停止部分層22bで停止する。

【0066】この時、残っている第1膜層の厚さは0.3μmないし0.4μmの程度である。この厚さは、小室26の寸法や膜層に用いられる部材の性質に応じて調整することができ、そしてまた作成されるマイクロシステムの感度の閾値として調整することができる。

【0067】この厚さの調整は、膜の可撓性の程度に影響を与える。けれども、第1膜層は十分に厚くされることができましく、それにより小室26がつぶれることができ防止され、特に小室26が真空に保たれている時につぶれて崩壊することが防止される。

【0068】さらに、第1膜層の一部分32と多分であるが第2膜層の一部分32とを、第2電極20の上に保持することができる。それは、第2電極20が変形することを防止するためである。

【0069】同様に、第2膜層の一部分がまた、開口部24とプラグ27との領域の中に保持される。

【0070】最後に、図8で鎖線で非常に概略的に示された電気接続体17を、第2電極20と電子回路14との間にまた備えることができる。

【0071】例えば第1電極10と第2電極20との間の静電容量を測定する装置と一緒に、電子回路14を備えることができる。膜に作用する圧力により膜が変形し、そして電極間の距離が変わる。その結果、これらの電極の間に測定される静電容量が変化する。

【0072】このマイクロシステムがマイクロスイッチとして用いられる時、第1電極と第2電極は接触端子を構成することができる。

【0073】この場合、このマイクロスイッチが作動される時、もし第1電極と第2電極の少なくとも一方がそれらの支持体の上に突き出しているならば、第1電極と第2電極との間に良好な接触が得られるであろう。

【0074】第2電極の形状は、犠牲部材層の上に作成される第2導電体層の形状に応じて変わり、したがって犠牲部材層の上側表面に与えられる形状に応じて変わること。

【0075】図9に示されている場合において、犠牲部材の層18が第1電極10の上に作成される。第1電極10の表面は、支持体12の表面と同じ高さである。し

たがって、犠牲層の表面は平坦である。さらに明確に示すために、図9ないし図14では、犠牲部材の層の厚さが拡大されて示されている。

【0076】図10に示されているように、犠牲部材の層18の上側表面の中にエッチングにより作成された凹部19を用いて、第1電極10に向かって突き出ている導電体部材の第2層が、後の段階において作成される。

【0077】凹部19を作成するのに、第2の技術が用いられる。図11に示されているようにこの技術は、第1導電体層10の少なくとも一部分9を取り囲んでいる犠牲部材の第1層18aを最初に作成する段階を有する。この段階において、第1導電体層の一部分9の表面が、犠牲部材の第1層18aの自由表面から凹んでいるパターンに作成される。

【0078】次に、犠牲部材の第1層18aの上と、被覆されないままに残っている導電体層の一部分9の上とに、犠牲部材の第2層18bが作成される。この時、犠牲部材の第2層18bの表面の上に、凹部19を有するパターンが再生される。図12に示されているこの凹部を用いて、工程の残りの段階において、突き出た部分を備えた第2導電体層が作成される。

【0079】図13および図14は、支持体12の上に作成された第1電極10がこの表面の上に突き出している時の犠牲部材の層18の作成を示した図である。導電体層10により形成された突出し部分は、図13に示されているように、犠牲部材の層18の上側表面に存在する。この突出し部分は番号17で示されている。この形式の突出し部分が原因となって、第1導電体層10の上に位置する領域の中に、第2導電体層の凹部が形成されるであろう。

【0080】この現象を防止するために、第2導電体層の作成の前に、犠牲部材層18の上側表面を図14に示されているように平坦にすることが可能である。

【0081】図15は、本発明のマイクロシステムのまた別の実施例を拡大して示した図である。図の理解を容易にするために、以前に示された部品と同じ部品または同等な部品には、同じ番号が用いられている。したがって、以前の説明はそのままあてはまる。

【0082】基板12の上に作成されたマイクロシステムは、この基板により支持された第1電極10を有する。この第1電極は、溝11により分離された2個の部品10aおよび10bを有する。したがって、絶縁体基板12の上に作成された部品10aおよび10bは、基板と溝11とにより電気的に分離される。溝は、マイクロシステムの中の小室26のほぼ中央に配置される。小室26の側面と頂部は、可撓膜22により定められている。

【0083】膜22に固定されている第2電極20は、溝11を備えた電極10の領域のほぼ上に配置される。

【0084】したがって、膜22に十分な圧力が加えら

れる時、電極20は第1電極10の部品10aおよび10bと接触し、そしてそれらを電気的に接続する。

【0085】したがって、図15のマイクロシステムをマイクロスイッチとして用いることができる。この場合の端子は、第1電極10の部品10aおよび10bである。

【0086】図15のマイクロシステムはまた、オン／オフ型の検出を行う圧力センサとしても用いることができる。

【0087】第1電極10の部品10aおよび10bは、マイクロシステムの下の基板12の中に集積された回路14に接続される。この回路と、第1電極の部品10aおよび10bを回路に接続する電気接続体16、17とが、非常に概略的に示されている。

【0088】膜22の可撓性を高めるために、膜22が局的に薄く作成されていることに注目されたい。

【0089】図15では、膜22を形成する層が第1電極と接触するのが示されている。けれども、例えば図6に示されているように、それは基板12と直接に接觸することもできる。

【0090】図16は、マイクロスイッチとして特に用いることができるマイクロシステムのまた別の実施例の図である。

【0091】基板12および膜22の下に配置された第1電極10および第2電極20は、それぞれ、小室26のほぼ中央のまた別の領域の中に延長されている。

【0092】第2電極20は最初は可撓膜22により第1電極10から離れて保持されているが、膜22に十分な圧力が加えられると、重なり合っている領域において第1電極10と接觸する。

【0093】したがって、第1電極および第2電極はスイッチの端子を構成することができる。第1電極および第2電極は、電子回路14に電気的に接続される。電子回路14は、例えば基板12の中に配置することができる。

【0094】この場合、その中に第2電極が作成されている導電体部材の第2層は、基板12と同程度に広がっていることが好ましい。

【0095】参照される文献

- (1) F R - A - 2 700 003
- (2) C R - A - 2 130 505
- (3) J. ジェイソン (J. Jason) およびF. チャン (F. Chang) 名の論文「直流から4GHzまでの信号周波数の遠距離通信応用のための表面微細加工の小型スイッチ (A Surface micro machined miniature switch for telecommunication application with signal frequencies from DC up to 4 GHz)」、固体状態・センサおよびアクチュエータに関する

る国際会議（International Conference on Solid State Sensors and Actuators）、ストックホルム、スエーデン国、1995年6月25～29日。

【図面の簡単な説明】

【図1】本発明に従いマイクロシステムを製造するための工程の初期の段階を示した横断面概要図。

【図2】図1に示された段階の次の段階を示した横断面概要図。

【図3】図2に示された段階の次の段階を示した横断面概要図。

【図4】図3に示された段階の次の段階を示した横断面概要図。

【図5】図4に示された段階の次の段階を示した横断面概要図。

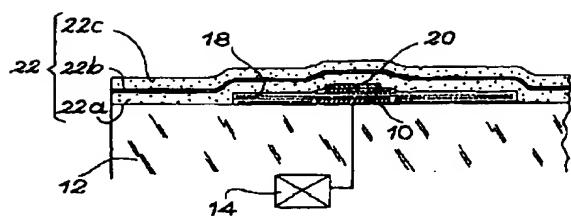
【図6】図5に示された段階の次の段階を示した横断面概要図。

【図7】図6に示された段階の次の段階を示した横断面概要図。

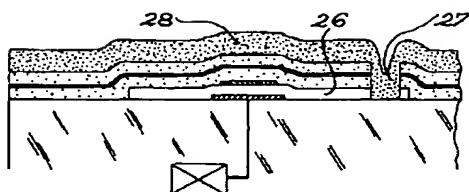
【図8】図7に示された段階の次の段階を示した横断面概要図。

【図9】犠牲部材層が局所的に薄くすることが行われる初期の段階の横断面図。

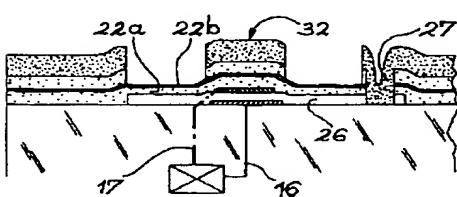
【図5】



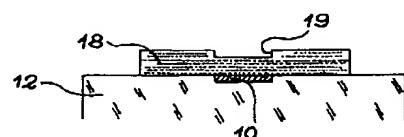
【図7】



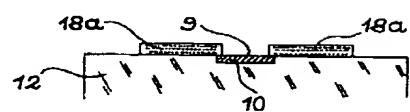
【図8】



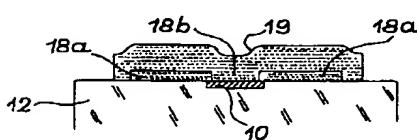
【図10】



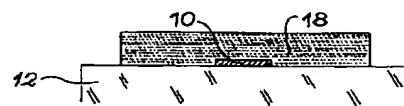
【図11】



【図12】



【図14】



【図16】

